

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 03145761 A
(43) Date of publication of application: 20.06.1991

(51) Int. Cl H01L 27/092
H01L 27/06, H01L 27/11, H01L 29/784

(21) Application number: 01282876
(22) Date of filing: 01.11.1989

(71) Applicant: TOSHIBA CORP
(72) Inventor: NINDAYAMA AKIHIRO
TAKATOU HIROSHI
HORIGUCHI FUMIO
MASUOKA FUJIO

(54) SEMICONDUCTOR DEVICE

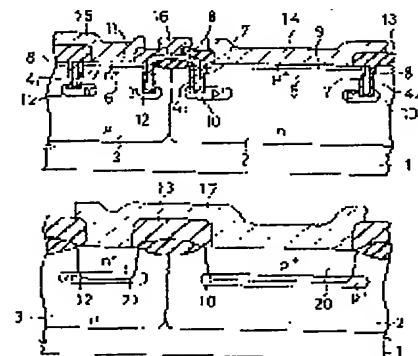
(57) Abstract:

PURPOSE: To restrain the leakage current of an inverter circuit and to hold down a hot carrier effect by a method wherein a third diffusion layer is provided outside a groove so deep as to reach to a first diffusion layer for leading the first layer out the surface of a substrate, a first primary electrode and a second primary electrode serving as a source and a drain electrode respectively are provided to the surface of the substrate in contact with a second diffusion layer and the third diffusion layer respectively.

CONSTITUTION: Drain diffusion layers 10 and 12 are led out to the surface of a substrate by a P⁺-type diffusion layer 20 and an N⁺-type diffusion layer 21 formed outside a groove 4 so deep as to reach to the diffusion layers 10 and 12 respectively. A source electrode wiring 14 in contact with a source region 9 of a P channel MOS transistor QP, a source electrode wiring 14 in contact with a source diffusion layer 11 of an N channel

MOS transistor QN, an input terminal wiring 16 connected to gate electrodes 8 of both the transistors QP and QN, and an output terminal wiring 17 in contact with the drain leading-out diffusion layers 20 and 21 of the transistors are formed.

COPYRIGHT: (C)1991,JPO&Japio



⑪ 公開特許公報 (A) 平3-145761

⑤Int.Cl.⁵

H 01 L 27/092

識別記号

序内整理番号

⑩公開 平成3年(1991)6月20日

7735-5F H 01 L 27/08 3 2 1 A
7735-5F 27/06 3 2 1 A※

審査請求 未請求 請求項の数 4 (全16頁)

⑪発明の名称 半導体装置

⑩特 願 平1-282876

⑩出 願 平1(1989)11月1日

⑪発明者 仁田山 晃寛 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑪発明者 高東 宏 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑪発明者 堀口 文男 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑪発明者 外岡 富士雄 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑪出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑪代理人 弁理士 鈴江 武彦 外3名

最終頁に続く

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 表面部に第1導電型半導体層を有する基板と、

この基板の前記第1導電型半導体層領域に形成された溝により取り囲まれた一または二以上の柱状半導体層と、

この柱状半導体層の外周面に形成されたゲート絶縁膜と、

このゲート絶縁膜が形成された柱状半導体層を取囲むように前記溝に埋め込まれたゲート電極と、前記柱状半導体層を取囲む溝底部に埋め込まれた第2導電型の第1の拡散層と、

前記柱状半導体層の上面に形成された第2導電型の第2の拡散層と、

前記溝の外側に前記第1の拡散層に達する深さに拡散形成されて前記第1の拡散層を基板表面に取り出す第2導電型の第3の拡散層と、

前記基板表面に配設されて前記第2の拡散層にコンタクトする第1の主電極と、

前記基板表面に配設されて前記第3の拡散層にコンタクトする第2の主電極と、

を有することを特徴とする半導体装置。

(2) MOSトランジスタを用いて構成されたインバータ回路を含む半導体装置であって、前記インバータを構成するMOSトランジスタは、表面部に第1導電型半導体層を有する基板と、この基板の前記第1導電型半導体層領域に形成された溝により取り囲まれた一または二以上の柱状半導体層と、

この柱状半導体層の外周面に形成されたゲート絶縁膜と、

このゲート絶縁膜が形成された柱状半導体層を取囲むように前記溝に埋め込まれたゲート電極と、前記柱状半導体層を取囲む溝底部に埋め込まれた第2導電型の第1の拡散層と、

前記柱状半導体層の上面に形成された第2導電型の第2の拡散層と、

前記溝の外側に前記第1の拡散層に達する深さに拡散形成されて前記第1の拡散層を基板表面に取り出す第2導電型の第3の拡散層と、

前記基板表面に配設されて前記第2の拡散層にコンタクトする第1の主電極と、

前記基板表面に配設されて前記第3の拡散層にコンタクトする第2の主電極と、

を有することを特徴とする半導体装置。

(3) CMOSインバータ回路を含む半導体装置であって、前記CMOSインバータ回路は、

表面部にp型半導体層領域およびこれに隣接するn型半導体層領域を有する基板と、

前記p型半導体層領域に形成された第1の溝により取り囲まれた一または二以上のp型の柱状半導体層と、

前記n型半導体層領域に形成された第2の溝により取り囲まれた一または二以上のn型の柱状半導体層と、

これらp型およびn型の柱状半導体層の外周面にそれぞれ形成されたゲート絶縁膜と、

- 3 -

前記基板表面に配設されて前記第1のn型拡散層、第3のn型拡散層、第1のp型拡散層および第3のp型拡散層にそれぞれコンタクトする主電極と、

を有することを特徴とする半導体装置。

(4) MOSトランジスタを用いて構成されたフリップフロップ回路を含む半導体装置であって、前記フリップフロップ回路を構成するMOSトランジスタは、

表面部に第1導電型半導体層を有する基板と、この基板の前記第1導電型半導体層領域に形成された溝により取り囲まれた一または二以上の柱状半導体層と、

この柱状半導体層の外周面に形成されたゲート絶縁膜と、

このゲート絶縁膜が形成された柱状半導体層を取囲むように前記溝に埋め込まれたゲート電極と、

前記柱状半導体層を取囲む溝底部に埋め込まれた第2導電型の第1の拡散層と、

前記柱状半導体層の上面に形成された第2導電

- 5 -

このゲート絶縁膜が形成された前記p型およびn型の柱状半導体層を取囲むように前記第1および第2の溝に埋め込まれ、溝の外部で共通接続されたゲート電極と、

前記第1の溝底部に埋め込まれた第1のn型拡散層と、

前記p型の柱状半導体層の上面に形成された第2のn型拡散層と、

前記p型半導体層領域の前記第1の溝の外側に前記第1のn型拡散層に達する深さに拡散形成されて第1のn型拡散層を基板表面に取り出す第3のn型拡散層と、

前記第2の溝底部に埋め込まれた第1のp型拡散層と、

前記n型の柱状半導体層の上面に形成された第2のp型拡散層と、

前記n型半導体層領域の前記第2の溝の外側に前記第1のp型拡散層に達する深さに拡散形成されて第1のp型拡散層を基板表面に取り出す第3のp型拡散層と、

- 4 -

型の第2の拡散層と、

前記溝の外側に前記第1の拡散層に達する深さに拡散形成されて前記第1の拡散層を基板表面に取り出す第2導電型の第3の拡散層と、

前記基板表面に配設されて前記第2の拡散層にコンタクトする第1の主電極と、

前記基板表面に配設されて前記第3の拡散層にコンタクトする第2の主電極と、

を有することを特徴とする半導体装置。

3. 発明の詳細な説明

〔発明の目的〕

〔産業上の利用分野〕

本発明はMOSトランジスタを含む半導体装置に係り、特に基板面積を有効利用することを可能としたMOSトランジスタ構造およびこれを用いた集積回路に関する。

〔従来の技術〕

半導体集積回路、なかでもMOSトランジスタを用いた集積回路は、高集積化の一途を辿っている。この高集積化に伴って、その中で用いられ

- 6 -

ているMOSトランジスタはサブミクロン領域まで微細化が進んでいる。デジタル回路の基本回路はインバータ回路であるが、このインバータ回路を構成するMOSトランジスタの微細化が進むと様々な弊害が出てくる。第1に、MOSトランジスタのゲート寸法が小さくなると、いわゆる短チャネル効果によってソース・ドレイン間にパンチスルーポジションが生じ、リーク電流を抑制することが困難になる。その結果インバータ回路のスタンバイ電流は増加する。第2に、MOSトランジスタの内部電界が高くなり、ホット・キャリア効果によってトランジスタのしきい値や相互コンダクタンスの変動が生じ、トランジスタ特性の劣化、そして回路特性（動作速度、動作マージンなど）の劣化が生じる。第3に、微細化によりゲート長が短くなつたとしても、必要な電流量を確保するためにはゲート幅はある程度以上とらなくてはならず、その結果インバータ回路の占有面積を十分に小さくすることが難しい。例えばダイナミックRAM(DRAM)において、メモリセルの微細化技術

— 7 —

をなかなか小さくできない、またゲート電極での遅延が大きく、ゲート幅を長くできない、といった問題があった。同様の問題は、インバータ回路に限らず、フリップフロップ回路を構成した場合にも存在する。

本発明は、この様な問題を解決したMOS型半導体装置を提供することを目的とする。

【発明の構成】

（課題を解決するための手段）

本発明によるMOSトランジスタは、半導体基板に形成された溝によって取り囲まれた一または二以上の柱状半導体層により構成される。柱状半導体層の側面にはゲート絶縁膜が形成され、かつこの柱状半導体層を取り囲むように溝にゲート電極が埋め込まれる。溝の底部にはソースまたはドレインとなる第1の拡散層が埋込み形成され、柱状半導体層の上面にはドレインまたはソースとなる第2の拡散層が形成される。第1の拡散層を基板表面に取り出すために、溝の外側には、第1の拡散層に達する深さに第3の拡散層が形成される。

— 9 —

が目覚ましく進んでいるが、周辺回路では必要な電流量を確保する上でゲート幅を小さくする説にはいかない部分が多く、これがDRAMチップ全体としての小型化を阻害している。

また、ゲート電極を多結晶シリコン膜で形成した場合、この多結晶シリコン膜抵抗とゲート・キャバシタで構成されるCR時定数によりゲート電極への信号伝搬に遅れが生じる。素子の微細化により、ゲート酸化膜厚みが減少し、スイッチング速度が向上することによって、このゲート電極での信号遅延がインバータのスイッチング時間の大部分を占めるようになっている。更にソース・ドレインの接合容量も微細化に伴って基板濃度の増加により増大しており、スイッチング速度の低下をもたらす原因となっている。

（発明が解決しようとする課題）

以上のように従来のMOS集積回路技術では、インバータ回路のリーク電流の抑制が困難であり、ホット・キャリア効果による信頼性の低下が生じ、また必要な電流量確保の要請から回路の占有面積

— 8 —

基板表面にはソース・ドレイン電極となる第1の主電極、第2の主電極がそれぞれ第2の拡散層、第3の拡散層にコンタクトするように配設される。

本発明においてはまた、上述のようなMOSトランジスタを用いてインバータやフリップフロップ等の集積回路の基本回路が構成される。

（作用）

本発明の構造においては、MOSトランジスタのサブスレッショルド特性が急峻で、サブスレッショルド・スイッチングが極めて小さい。これは後に詳細に説明するように、ゲートのチャネルに対する制御性が強いことによる。このためインバータ回路等のリーク電流は効果的に抑制される。

また柱状半導体層の側壁がチャネル領域となり、チャネル領域が通常の平面構造のMOSトランジスタのようにフィールド領域に接する部分がない。従ってフィールド端の高電界のチャネル領域への影響ということがなく、ホット・キャリア効果が抑制される。また、占有面積を大きくすることなく、柱状半導体層の高さ、即ち溝の深さを大きく

— 10 —

してチャネル長を長くすることができ、これもホット・キャリア効果の抑制に有効となる。そしてこのホット・キャリア効果の抑制により、高信頼性のインバータ回路やフリップフロップ回路が得られる。

更に、溝により取り囲まれた柱状半導体層領域とその周囲の領域とは同じ面位置にあり、溝底部に埋め込まれた第1の拡散層は第3の拡散層によって基板表面に取り出されている。これにより、第1および第2の主電極は平坦面に配設されることになり、その電極加工は容易になる。

(実施例)

以下、本発明の実施例を図面を参照して説明する。

第1図(a) (b)は、一実施例のCMOSインバータ回路の平面図と等価回路図である。第2図(a), (b), (c)および(d)はそれぞれ、第1図(a)のA-A', B-B', C-C'およびD-D'断面図である。シリコン基板1にn型ウェル2およびp型ウェル3が形成され、

- 11 -

ン膜を残すことによって実現できる。

n型シリコン層5側の溝4₂の底部にはp⁺型ドレイン拡散層10が、p型シリコン層6側の溝4₁の底部にはn⁺型ドレイン拡散層12が、それぞれ埋込み形成されている。これらのドレイン拡散層10, 12は一部溝4の外側に所定距離延在させて埋込み形成されている。図では、ドレイン拡散層10, 12が溝4に沿ってリング状のパターンで埋め込まれる場合を示しているが、柱状シリコン層5, 6をそれより下の領域から完全に分離するようにドレイン拡散層10, 12を形成してもよい。ドレイン拡散層10, 12はそれぞれ、溝4の外側にこれらの拡散層10, 12に達する深さに拡散形成されたp⁺型拡散層20, n⁺型拡散層21によって基板表面に取り出されている。n型シリコン層5およびp型シリコン層6の上面にはそれぞれ、p⁺ソース拡散層9およびn⁺型ソース拡散層11が形成されている。

埋込みドレイン拡散層10, 12は、例えば通常バイポーラトランジスタのプロセスで用いられ

- 13 -

それぞれのウェル領域にリング状に形成された溝4(4₁, 4₂)に囲まれたn型の柱状シリコン層5およびn型の柱状シリコン層6が形成されている。n型の柱状シリコン層5によりpチャネルMOSトランジスタQ_Pが形成され、p型の柱状シリコン層6によりnチャネルMOSトランジスタQ_Nが形成されている。MOSトランジスタQ_P, Q_Nは、各柱状シリコン層5, 6の側壁全体をチャネル領域として、縦型構造をもって構成されている。即ち、柱状シリコン層5, 6の外周面にはゲート酸化膜7が形成され、この外周を取り囲むようにゲート電極8が溝4に埋め込まれている。このゲート電極8は例えば、p⁺型またはn⁺型多結晶シリコン膜を堆積し、これを反応性イオンエッティング等の異方性エッティングにより溝4内に残すことにより得られる。なおそれぞれの溝に埋め込まれたゲート電極8は一部溝4の外側の基板面で結合されている。これは多結晶シリコン膜エッティングに際して、この結合部領域にのみレジストをバターン形成しておき、多結晶シリコ

- 12 -

るコレクタ埋込み拡散層と同様の手法で形成される。すなわち基板表面に最初に埋込みドレイン拡散層10, 12を形成した後、この基板上にエピタキシャル成長層を形成する。その後、n型ウェル2およびp型ウェル3を形成し、次いで溝4の加工を行う、というプロセスを探る。埋込みドレイン拡散層10, 12の他の形成方法として、高エネルギーのイオン注入を行うことも可能である。ソース拡散層9, 11および、ドレイン取出し用の拡散層20, 21はゲート電極形成後に形成する。

素子形成された基板は、CVD酸化膜13により覆われ、これにコンタクト孔が開けられてAl膜の蒸着、バーニングにより、必要な電極配線が形成される。すなわちpチャネルMOSトランジスタQ_Pのソース拡散層9にコンタクトするソース電極配線であるV_{ce}配線14, nチャネルMOSトランジスタQ_Nのソース拡散層11にコンタクトするソース電極配線であるV_{ss}配線15, 両トランジスタのゲート電極8に接続される入力

- 14 -

端子 (V_{in}) 配線 1 6, 両トランジスタのドレイン取出し拡散層 2 0, 2 1 にそれぞれコンタクトして共通に配設される出力端子 (V_{out}) 配線 1 7 が形成されている。

埋込みドレイン拡散層 1 0, 1 2 が柱状シリコン層 5, 6 の底部全体に渡って形成されない図の構造の場合、インバータ回路の動作における各トランジスタのチャネル反転時に、それぞれの柱状シリコン層 5, 6 の領域がドレイン拡散層 1 0, 1 2 から伸びる空乏層により、それ以下の領域から電気的に分離される状態となるように、素子パラメータが設定されることがの好ましい。具体的に n チャネル MOS トランジスタ Q_N 側のシリコン層 6 についてその様子を第 3 図に示す。溝底部に埋込み形成されたドレイン拡散層 1 2 から挿み込むように伸びる空乏層 1 9 が互いに接触する状態になると、柱状シリコン層 6 はその下の基板領域からは電気的に分離されてフローティング状態になる。例えばこのような条件を満たすためには、p 型ウェル 3 の不純物濃度を $3 \times 10^{16} / \text{cm}^3$ 、

— 15 —

この実施例の場合、ゲートのチャネルに対する制御性が強いことを示している。特に柱状シリコン層の寸法が小さい場合には、ゲート電圧印加時にシリコン層が容易に完全空乏化し、ゲート電圧に対するチャネル電位の変化が大きくなるため、その効果が顕著に現れる。そしてこのサブスレッシュルド特性のため、この実施例ではインバータ回路のスタンバイ電流を抑制することができるという利点が得られる。また第 1 1 図 (a) (b) の比較から明らかのようにこの実施例においては、ドレイン電流が立上がる領域即ちチャネル反転を生じる領域での基板バイアス V_{sub} によるバラツキがない。これは、第 3 図で説明したようにこの実施例の場合、チャネル反転時には、ドレイン層からの空乏層によりトランジスタ部分が実質的にそれ以下の基板領域から電気的に分離されるからである。この結果、基板ノイズに対してもこの実施例の回路は強い耐性を示す。

第 1 2 図 (a) (b) は、この実施例のインバータ回路における n チャネル MOS トランジスタ

柱状シリコン層 6 の幅を $1 \mu\text{m}$ 、ゲート酸化膜厚を 120 \AA とすればよい。p チャネル側についても同様の条件を満たすようとする。

この実施例によるインバータ回路の利点を、従来構造と比較しながら具体的に明らかにする。

第 1 1 図 (a) (b) は、それぞれ従来の平面構造 p チャネル MOS トランジスタと実施例の p チャネル MOS トランジスタのサブスレッシュルド特性を示している。チャネル幅 / チャネル長はいずれも、 $W / L = 8.0 \mu\text{m} / 0.8 \mu\text{m}$ である。この実施例でのチャネル幅 W とチャネル長 L の関係を第 1 0 図に判り易く示した。ゲート酸化膜も等しく 200 \AA である。測定条件はドレイン電圧 $V_d = 0.05 \text{ V}$ とし、基板バイアスは $V_{sub} = 0, 2, 4, 6 [\text{V}]$ と変化させた。この実施例のトランジスタでは従来構造と比較して明らかにサブスレッシュルド特性が急峻である。またそのスイシング S ($= dVg / d(\log I_d)$) が、従来構造では 98 mV/decade であるのに対し、この実施例では、 72 mV/decade と非常に小さい。これは

— 16 —

について、ホットキャリア効果ストレスをかけた時の相互コンダクタンスの劣化量 $\Delta G_{\text{on}} / G_{\text{on}}$ およびドレイン電流の劣化量 $\Delta I_{ds} / I_{ds0}$ のストレス時間依存性を、従来構造の n チャネル MOS トランジスタと比較して示している。このデータから、この実施例の構造では特性の劣化量が少なく、信頼性が向上していることが分る。そしてこのような高信頼性のトランジスタを用いたインバータ回路は、動作速度や動作マージンの劣化がおきにくく有利である。

第 1 4 図 (a) (b) は、従来構造と本発明の構造でのトランジスタの静特性を比較して示している。素子パラメータおよび測定条件は、チャネル幅 W とチャネル長 L が、 $W / L = 4.0 \mu\text{m} / 0.8 \mu\text{m}$ 、ゲート酸化膜厚が $T_{ox} = 200 \text{ \AA}$ 、基板バイアス電圧が $V_{sub} = 0 \text{ V}$ である。第 1 3 図に示すように従来構造ではこれが占有面積 $5 \times 8 = 30 \mu\text{m}^2$ に形成され、本発明においては $5 \times 2.4 = 12 \mu\text{m}^2$ に形成されている。以上のように本発明のものではトランジスタ面積が $1 / 2$ 以下であつ

— 18 —

ても、従来構造と等しいドレイン拡散層が得られており、高い駆動能力をもっている。従って本発明の実施例により、各種集積回路の高集積化を図ることができる。

またこの実施例の構造では、埋込みドレイン拡散層を有する縦型MOSトランジスタを用いているが、溝で囲まれた領域とその外側の領域とは面位置が同じであり、埋込みドレイン拡散層は取出し拡散層によって基板表面に取り出されている。したがって電極配線は平坦面に配設されることになり、電極配線の加工が容易である。

上記実施例では、nチャネルMOSトランジスタQ_nとpチャネルMOSトランジスタQ_pのゲート電極8を同一多結晶シリコン層により形成しているが、これらを別々の層で形成して、A-E層等により共通接続しても良い。

第4図(a) (b)は、他の実施例のCMOSインバータ回路の平面図と等価回路図であり、第5図(a) (b) (c)および(d)はそれぞれ第4図のA-A', B-B', C-C'およびD-D'断面図

- 19 -

ダイナミック型インバータにも同様に適用することができる。

また本発明はインバータ回路に限らず、他の回路にも同様に適用することができる。例えば、各種集積回路の基本回路としてフリップフロップがある。そこで次にフリップフロップ回路に本発明を適用した実施例を説明する。

第6図(a) (b)は、本発明をDRAMのビット線センスアンプに適用した実施例の平面図とそのA-A'断面図である。第6図(c)はその等価回路を示している。

第6図に示しているのは、二つのnチャネルMOSトランジスタQ₁、Q₂からなるフリップフロップにより構成したNMOSセンスアンプ部である。この実施例でも第1図の実施例と対応する部分には同一符号を付してある。シリコン基板1にp型ウェル3が形成され、このp型ウェル3内に溝4に囲まれて柱状シリコン層5(5₁、5₂、...)が形成されている。MOSトランジスタQ₁はそのなかのシリコン層5₁を用いて、ま

である。先の実施例と対応する部分には同一符号を付して詳細な説明は省略する。この実施例では、各トランジスタQ_nおよびQ_pが、n型ウェル2およびp型ウェル3内にそれぞれ複数個ずつ形成されたn型柱状シリコン層5₁およびp型柱状シリコン層5₂を用いて形成されている。複数個のn型柱状シリコン層5₁はn型ウェル2内に形成されて網目状に連続する溝4₁に囲まれている。同様に複数個のp型柱状シリコン層5₂はp型ウェル3内に形成されて網目状に連続する溝4₂に囲まれている。

この実施例の構造によると、限られた占有面積の中により大きいチャネル幅を持つMOSトランジスタにより構成されたインバータ回路が得られる。同じ駆動能力で占有面積を比較すると、この実施例では先の実施例に比べて約1/2になり、従来構造に比べると約1/4になる。

以上ではCMOSインバータ回路を説明したが、本発明は他のインバータ回路、E/R型インバータ、E/E型インバータ、E/D型インバータ、

- 20 -

たもう一方のMOSトランジスタQ₂は他のシリコン層5₂を用いてそれぞれ構成されている。二つのMOSトランジスタQ₁、Q₂の埋込みドレイン拡散層10はそれぞれの溝の外部で接続するように配設されており、これを基板表面に取り出す拡散層21が形成されている。この拡散層21に共通ドレイン配線15が接続されている。一方のビット線BLとなる配線14₁は、トランジスタQ₁のソース拡散層5₁とMOSトランジスタQ₂のゲート電極8にコンタクトして配設され、他方のビット線BL₁となる配線14₂は、トランジスタQ₂のソース拡散層5₂とMOSトランジスタQ₁のゲート電極8にコンタクトして配設されている。

図には示さなかったが、同じビット線に沿ってpチャネルMOSトランジスタによるPMOSセンスアンプが同様の構造とレイアウトをもって形成される。

この実施例によるビット線センスアンプも先のインバータ回路の実施例で説明したように、平面

- 22 -

構造のMOSトランジスタを用いた場合に比べてゲート幅によるチップ占有面積が非常に小さいものとなる。またMOSトランジスタのサブスレッショルド特性が急峻であり、ゲート電極での信号遅延が小さく、高速動作が可能になる。

次に本発明をSRAMに適用した実施例を説明する。MOSトランジスタを用いた典型的なSRAMは、メモリセルをフリップフロップにより構成するものであり、このフリップフロップを上記実施例と同様に柱状シリコン層を用いた縦型構造トランジスタにより構成することができる。

第7図はその実施例のSRAMセル部の平面図であり、第8図はその等価回路である。先の実施例と同様にしてシリコン基板に溝40(40₁, 40₂, ...)を形成することにより、柱状シリコン層41(41₁, 41₂, ...)が配列形成される。トランスファゲート用MOSトランジスタT₁とT₂は、それぞれ一つずつのシリコン層41₁と41₂を用いて形成されている。その構造は先の実施例と基本的に同様である。すなわち

— 23 —

ここでゲート電極42₃にコンタクトさせている。ドレイン配線43₁, 43₂はそれぞれ、負荷抵抗としての高抵抗多結晶シリコン膜44₁, 44₂を介して多結晶シリコン膜による電源(Vcc)配線43₃に接続されている。Al膜からなるデータ線45₁, 45₂および接地(VSS)線45₃は、途中を切断して示している。データ線45₁, 45₂はそれぞれMOSトランジスタT₁, T₂の溝部に埋込み形成されたソース拡散層に対して、コンタクト部46₁, 46₂で深く拡散形成された取出し用拡散層を介して接続されている。接地線45₃は、MOSトランジスタT₃, T₄に共通の埋込みソース拡散層に対してやはり深い取出し用拡散層を介してコンタクト部46₃で接続されている。図の一点鎖線で囲まれた領域47が電子領域を示している。

この実施例によっても、先の実施例と同様に占有面積の縮小と高信頼性化という効果が得られる。

上記実施例では、高抵抗多結晶シリコン負荷を用いたSRAMを説明したが、完全CMOS型の

シリコン層41の上面にドレイン拡散層、溝部に埋込みソース拡散層が形成され、これらシリコン層41₁, 41₂を取り囲むように多結晶シリコン膜によるゲート電極42₁が溝40に埋込み形成されている。ゲート電極42₁は二つのMOSトランジスタT₁, T₂について連続的に形成されてワード線WLを構成する。一方のドライバ用MOSトランジスタT₃はシリコン層41₃を用いて、他方のドライバ用MOSトランジスタT₄は二つのシリコン層41₄を用いてそれぞれ形成されている。これらのMOSトランジスタも先の実施例と同様の構造を有する。MOSトランジスタT₃のゲート電極42₂は、データ配線45₂の下まで延在させ、MOSトランジスタT₂とT₄のドレイン間を接続する多結晶シリコン膜配線43₂をここでゲート電極42₂にコンタクトさせている。同様に、MOSトランジスタT₄のゲート電極42₃は、データ配線45₃の下まで延在させ、MOSトランジスタT₁とT₃のドレイン間を接続する多結晶シリコン膜配線43₁を

— 24 —

フリップフロップ、E/E型フリップフロップ、E/D型フリップフロップを用いたSRAMにも同様に本発明を適用することが出来る。

第9図は、本発明をBiCMOS回路に適用した実施例の構造である。図では、pチャネルMOSトランジスタPMOSとnチャネルMOSトランジスタNMOSからなるCMOSインバータ・ゲート部と、これと一体形成されたn-p-nトランジスタBTとを示している。CMOSゲート部の構造は、第1図および第2図の実施例で説明したものと同様であり、従ってそれらと対応する部分にはそれらと同一符号を付してある。n-p-nトランジスタBTは、n型ウェル31内に形成されており、n⁺コレクタ埋込み層32、p型ベース層33およびn⁺型エミッタ層34を有する。コレクタ埋込み層32はn⁺型取出し拡散層35によって基板表面に取出されて、ここにコレクタ電極38がコンタクトしている。p型ベース層33には好ましくは高濃度の外部ベース層が形成され、ここにベース電極37がコンタクトする。

— 25 —

— 26 —

エミッタ層33にはエミッタ電極36がコンタクトする。

本発明による縦型MOSトランジスタは、埋込み拡散層とこれを基板表面に取出す拡散層を用いる構造としているため、バイポーラトランジスタの製造プロセスと多くを共通化することができる。即ち第9図の構造において、n-p-nトランジスタBTを形成するためのn型ウェル31はpチャネルMOSトランジスタPMOSを形成するためのn型ウェル2と同時に形成することができる。コレクタ埋込み層32はnチャネルMOSトランジスタNMOSの埋込みドレイン拡散層12と同時に形成することができる。コレクタ取出し拡散層35は埋込みドレイン拡散層12の取出し拡散層21と同時に形成することができる。エミッタ層34はnチャネルMOSトランジスタのソース拡散層11と同時に形成することができる。

従ってこの実施例によれば、バイポーラトランジスタとMOSトランジスタの工程共通化によって、BiCMOS回路を簡単な製造工程で実現す

- 27 -

4. 図面の簡単な説明

第1図(a) (b)は、本発明の一実施例のCMOSインバータ回路を示す平面図とその等価回路図。

第2図(a)～(d)はその各部断面図。

第3図は上記実施例のトランジスタの動作時の特性を説明するための図。

第4図(a) (b)は他の実施例のCMOSインバータ回路を示す平面図とその等価回路図。

第5図(a)～(d)はその各部断面図。

第6図(a) (b) (c)は本発明をDRAMセンスアンプに適用した実施例の平面図とそのA-A'断面図および等価回路図。

第7図は本発明をSRAMに適用した実施例の平面図。

第8図はそのSRAMセルの等価回路図。

第9図は本発明をBiCMOS回路に適用した実施例の断面図。

第10図(a) (b)は第1図の実施例のnチャネルMOSトランジスタ構造を模式的に示す図。

- 29 -

ることができる。

【発明の効果】

以上述べたように本発明によれば、柱状半導体層の側壁をチャネルとする縦構造のMOSトランジスタを用いることにより、占有面積を大幅に小さくした各種MOS集積回路を得ることができる。またチャネル領域がフィールドに接していないために、ホットキャリア効果に対する耐性が強く、優れた回路特性が得られる。更に、サブスレッシュルド特性の改善によって、スタンバイ時の消費電流も大きく低減できる。占有面積の縮小に伴って、必要なゲート幅に対してソース、ドレインの接合容量を非常に小さいものとすることができるから、高速スイッチング動作が可能な回路も容易に実現することができる。更にまた本発明におけるMOSトランジスタは、埋込み拡散層を用いた縦型構造としているが、基板表面は全体として平坦性を保ち、埋込み拡散層はこれに達する深さの拡散層を用いて基板表面に取出している。従って電極配線の加工が容易である。

- 28 -

第11図(a) (b)は第1図の実施例のpチャネルMOSトランジスタのサブスレッシュルド特性を従来構造と比較して示す図。

第12図(a) (b)は同じくホットキャリア効果ストレスによる特性変化を従来構造と比較して示す図。

第13図は試験のため試作した本発明でのトランジスタ面積を従来構造と比較して示す図。

第14図(a) (b)は同じく静特性を従来構造と比較して示す図。

第15図は第1図(a)に対応する素子バラメータをもつ従来のMOSトランジスタ構造を示す平面図である。

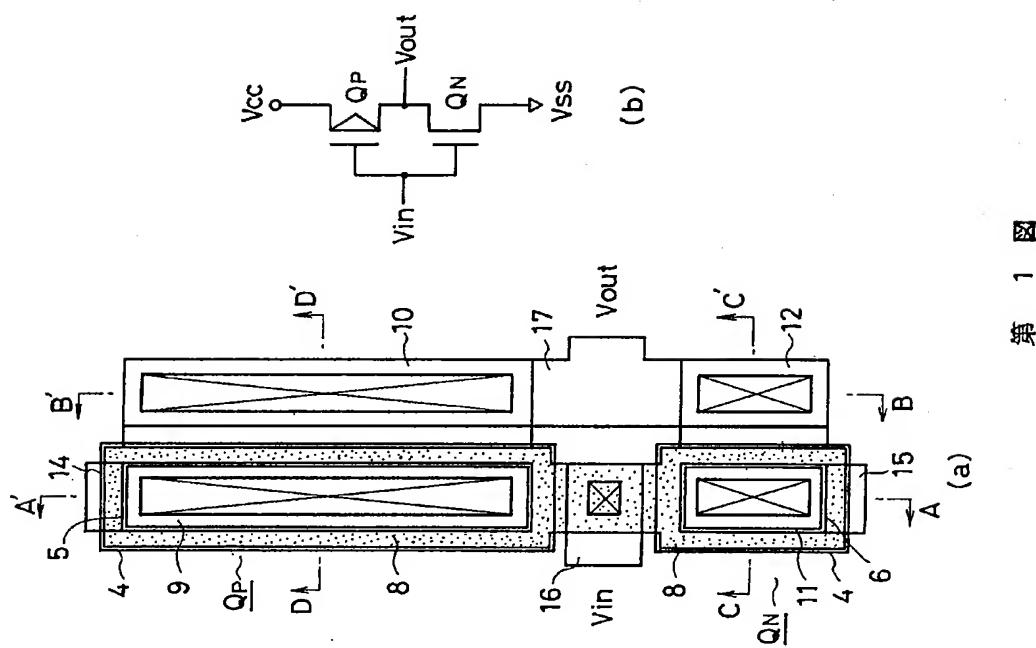
1…シリコン基板、2…n型ウェル、3…p型ウェル、4(4₁, 4₂), 40(40₁, 40₂, ...)…溝、5, 6, 41(41₁, 41₂, ...)…柱状シリコン層、7…ゲート酸化膜、8, 42(42₁, 42₂, ...)…ゲート電極、9…p⁺型ソース拡散層、10…p⁺型埋込みドレイン拡散層、11…n⁺型ソース拡散

- 30 -

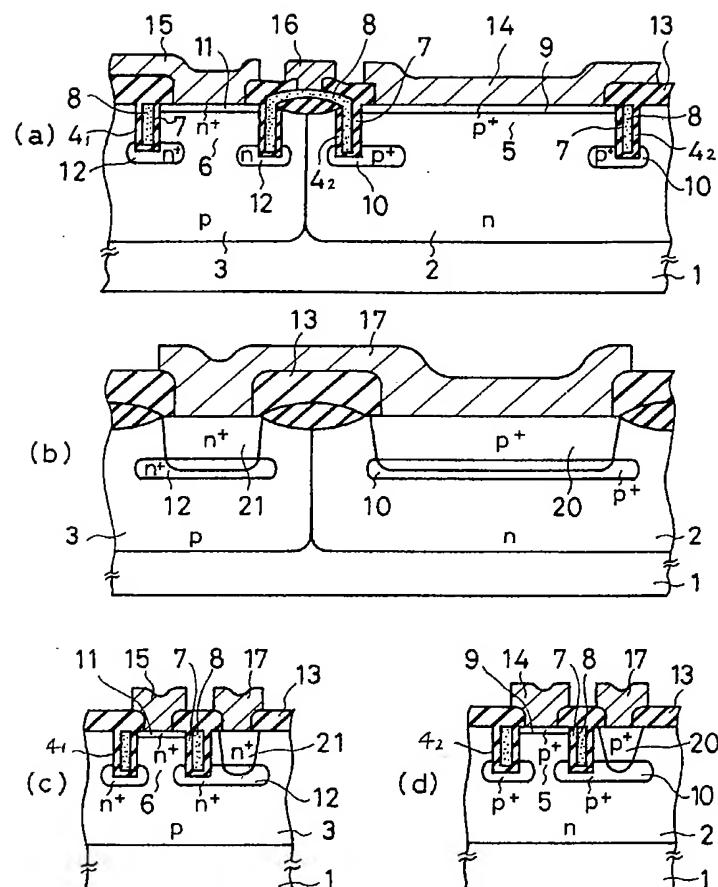
層、12…n⁺型埋込みドレイン拡散層、13…
CVD酸化膜、14～17…A²電極配線、19
…空乏層、20…p⁺型ドレイン取出し拡散層、
21…n⁺型ドレイン取出し拡散層。

出願人代理人 弁理士 鈴江武彦

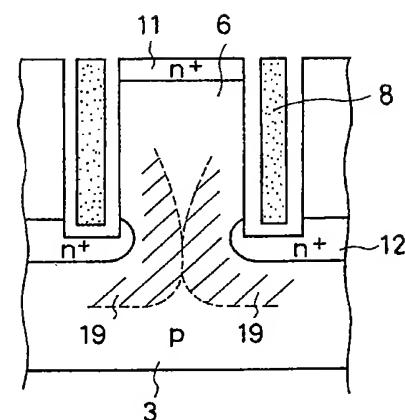
— 31 —



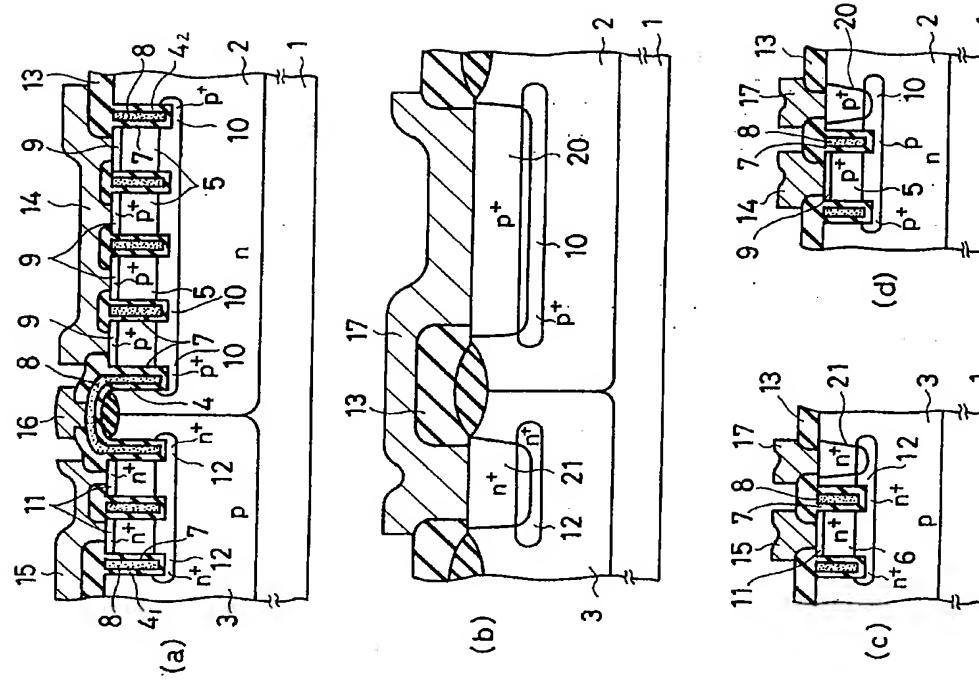
第1図



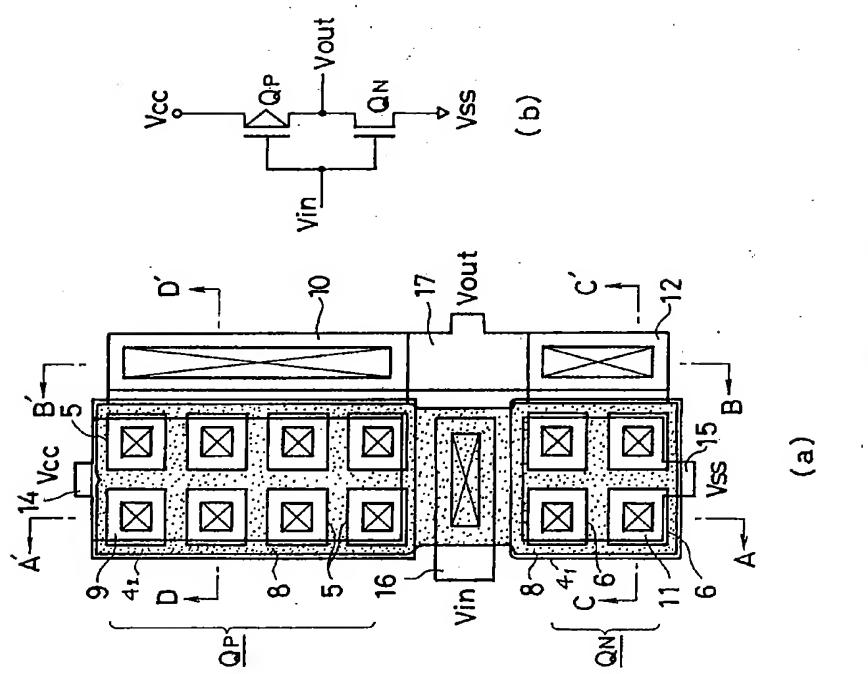
第 2 図



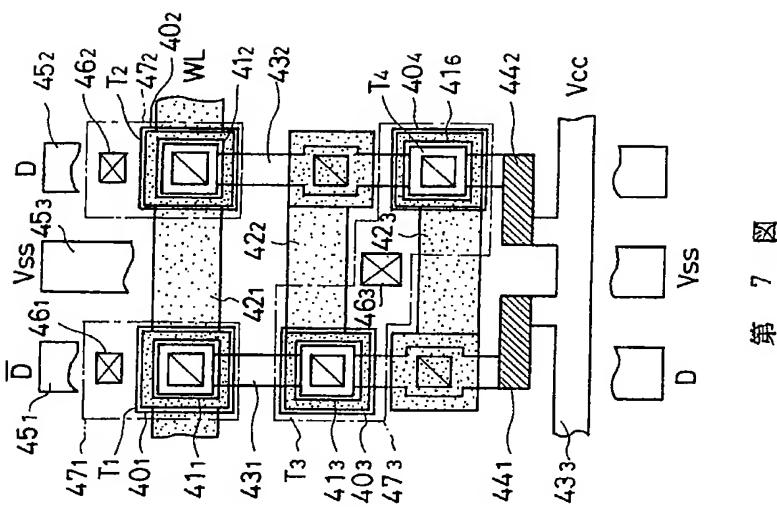
第 3 図



第 5 図



第 4 図



四
7

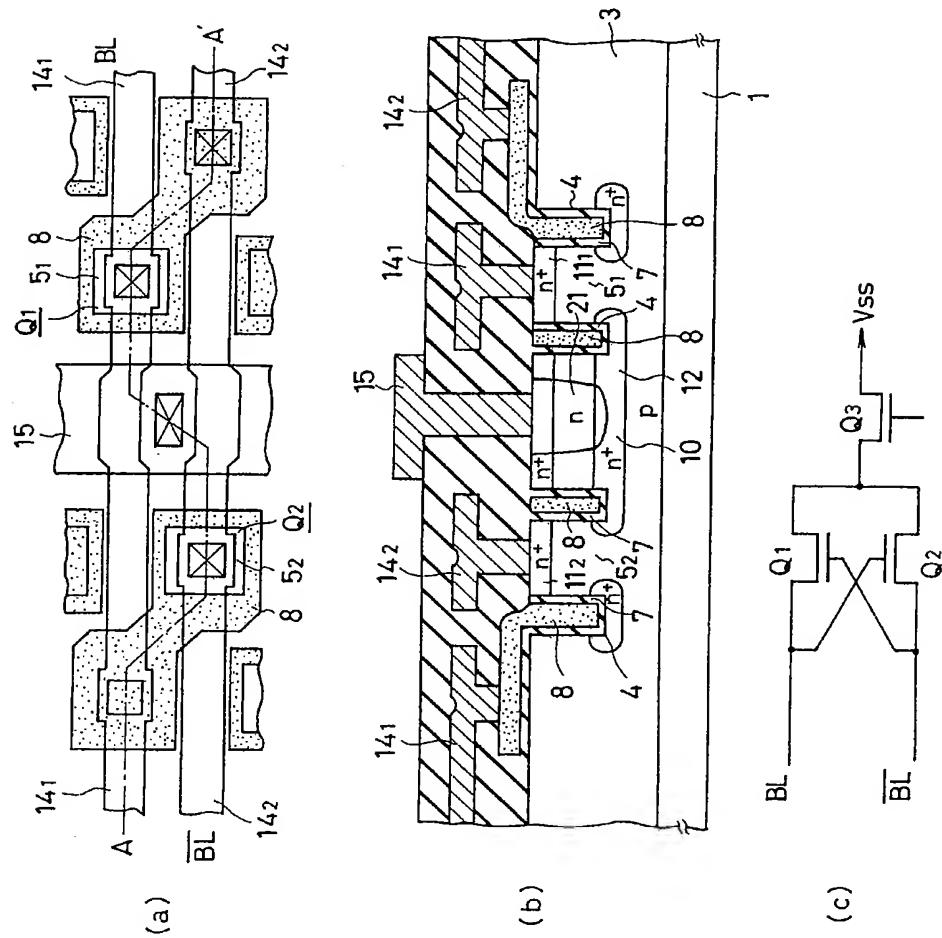
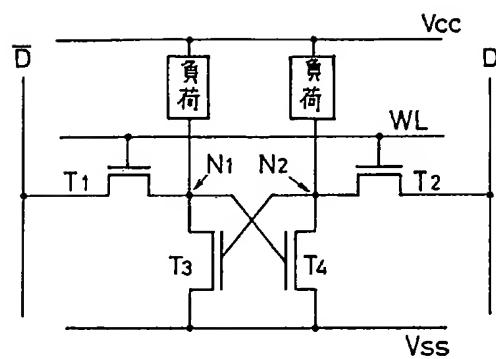
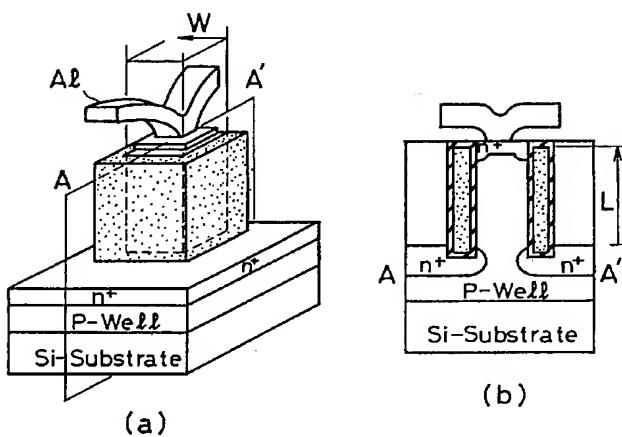


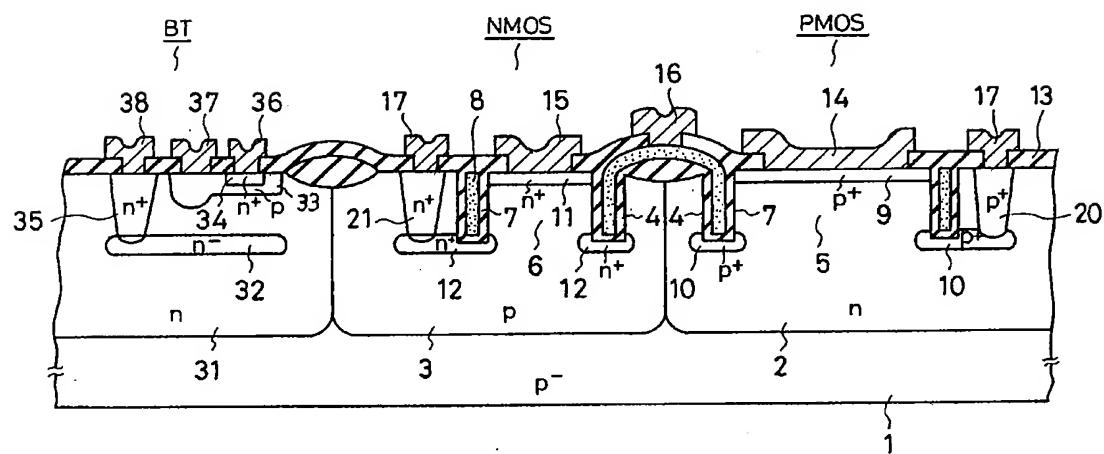
圖 6 第



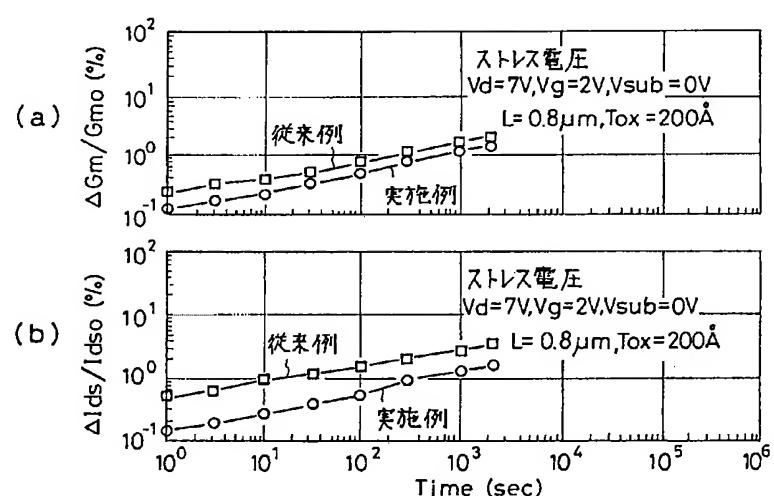
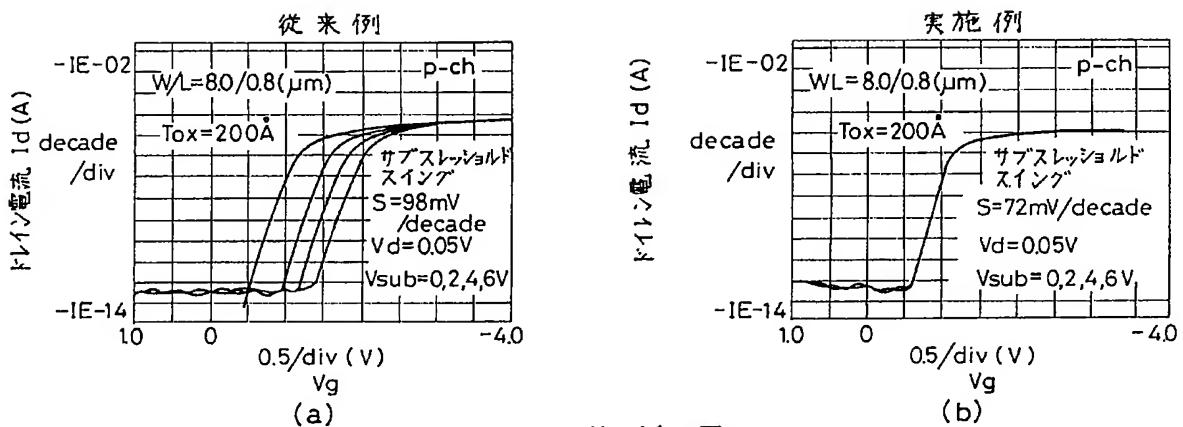
第 8 図

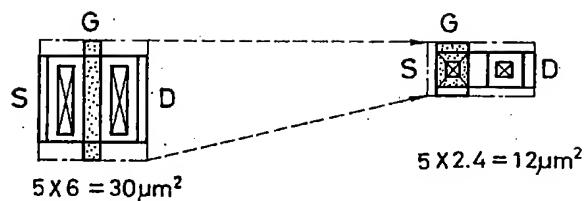


第 10 図

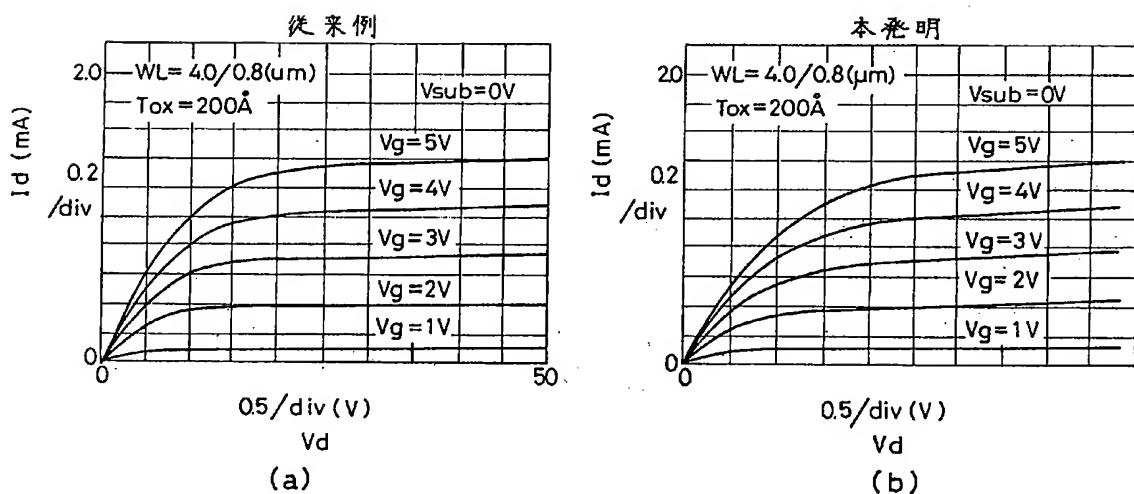


第 9 図



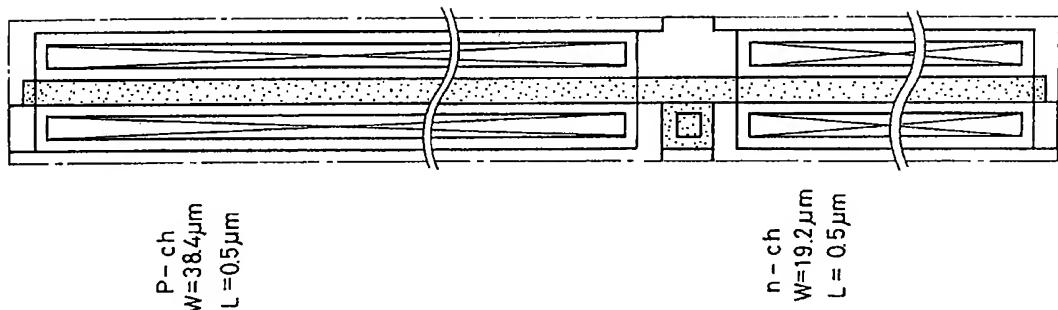


第 13 図



第 14 図

第 15 図



第 1 頁の続き

⑤Int. Cl. 5

H 01 L 27/06
27/11
29/784

識別記号

序内整理番号

8624-5F H 01 L 27/10
8422-5F 29/78 3 8 1
8422-5F 3 0 1 V
C